

PCI-X to SD/SDIO ブリッジ IPコア

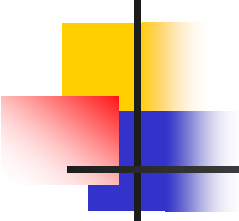
アイウェーブ・ジャパン株式会社

神奈川県横浜市中区住吉町3丁目29番 住吉関内ビル8階B

Tel: 045-227-7626 Fax: 045-227-7646

Mail: info@iwavejapan.co.jp Web: www.iwavejapan.co.jp

この文書(添付物を含む)は、秘密保持規定(NDA)の下、資格者が正式に使用するためにのみリリースします。これは、知的財産物、機密情報を含みアイウェーブ・ジャパン株式会社が法的な権限を所有しています。



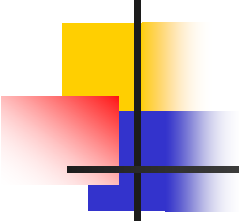
PCI-XからSDへのデータ転送



- DMACは、iPCI-X ブロックへのリードサイクル及びSDIO ブロックへのライトサイクルを開始
- PCI-X は、最大4Kバイトのバースト転送をサポート
- PCI-Xバスの最大バーストを効率よくサポートするため、リードはSDIO ライト FIFO (PCI-X及びSDIOコントローラに対する要求、許可信号により制御)に4Kスペースがある場合にのみ開始
- DMA が開始される毎に、トータル転送サイズは、リード、ライト済みのデータのバイト数をカウントする内部カウンターにコピー

データ転送は、二つの方法で実施

- ❖ ノーマルモード
- ❖ 分割転送モード



SDからPCI-Xへのデータ転送

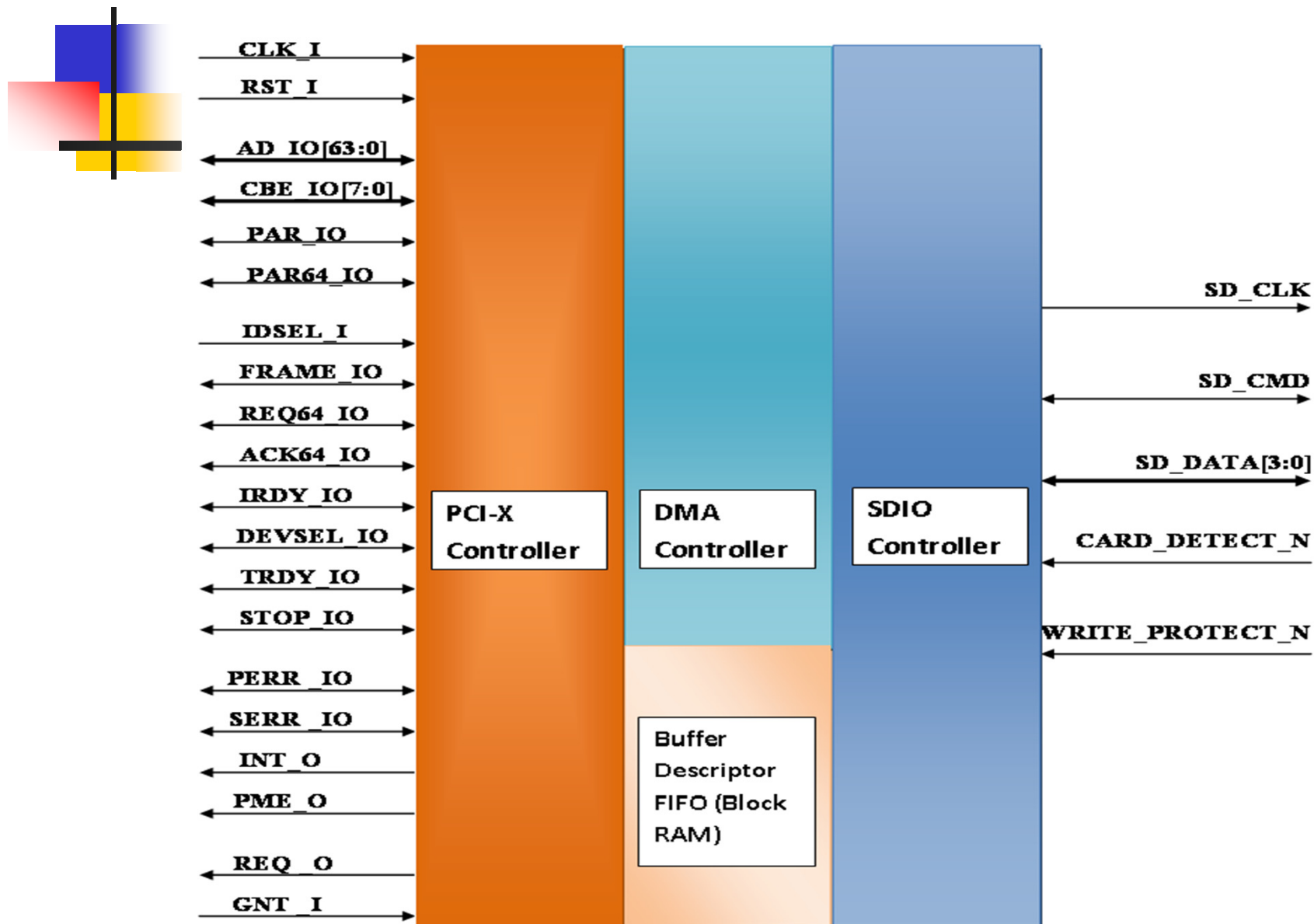


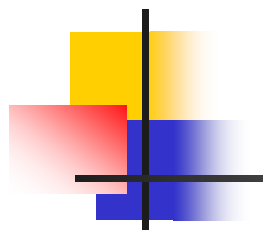
- DMAC は、SDIOコントローラへのリードサイクル及びPCI-Xブロックのライトサイクルを開始
- SD は、最大512バイトのブロック転送をサポート
PCI-X は、最大4Kバイトのバースト転送をサポート

データ転送は、二つの方法で実施

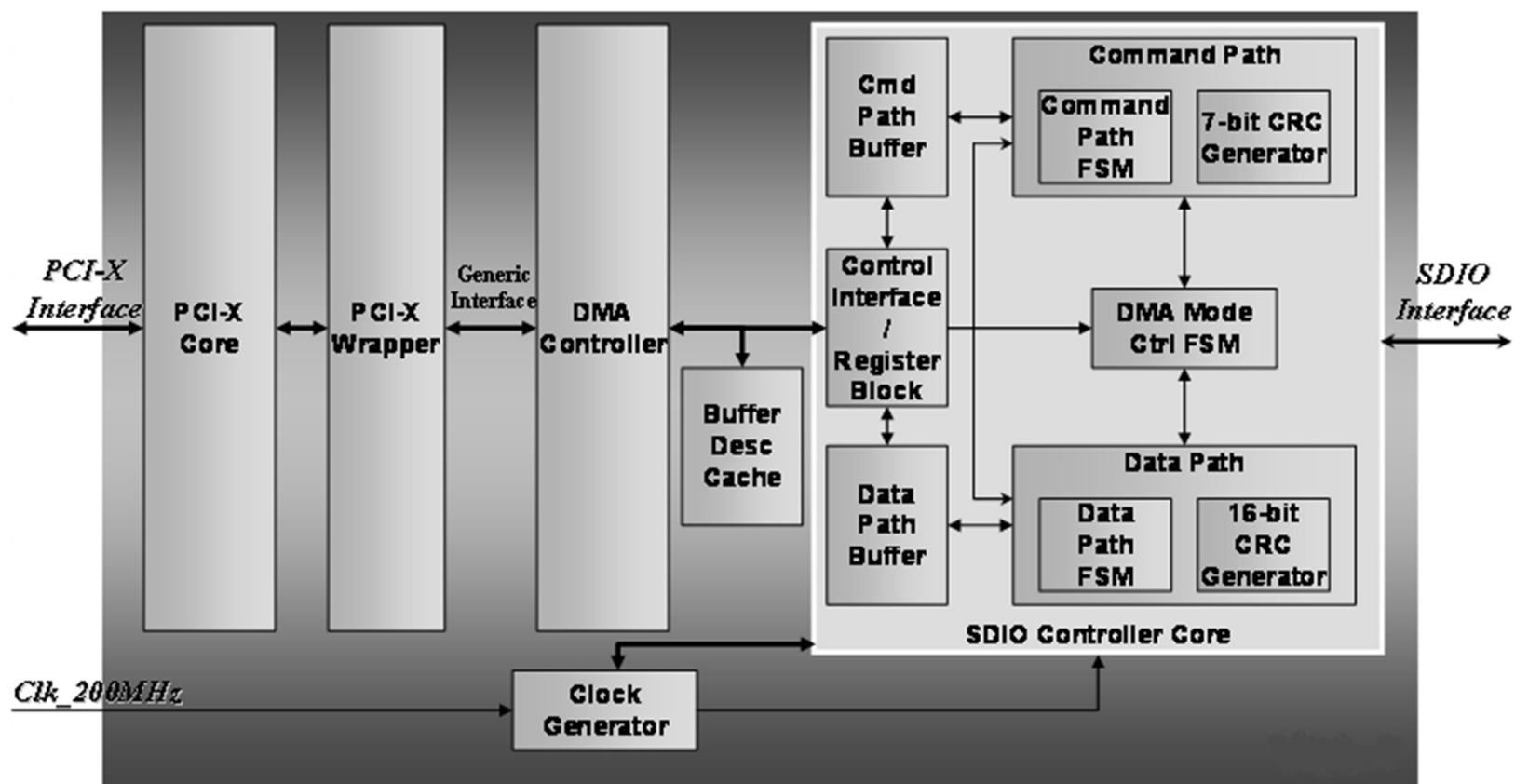
- ❖ SDがBDコンフィギュレーションフィールド内でトータル転送サイズで規定される全バイトを読み終わるのを待った後、PCI-Xへのバーストライトサイクルを開始
- ❖ SDが、予め規定したバイト数(トータルサイズが、規定バイト数よりも小さい場合は、トータル転送サイズ)をSDカードから読み終わるのを待つ、SD コントローラが残りのバイトを読み続ける間に、既にフェッチした規定バイト数をPCI-Xへ転送するライトサイクルを開始

PCI-X から SDIOへのブリッジ ロジック 記号



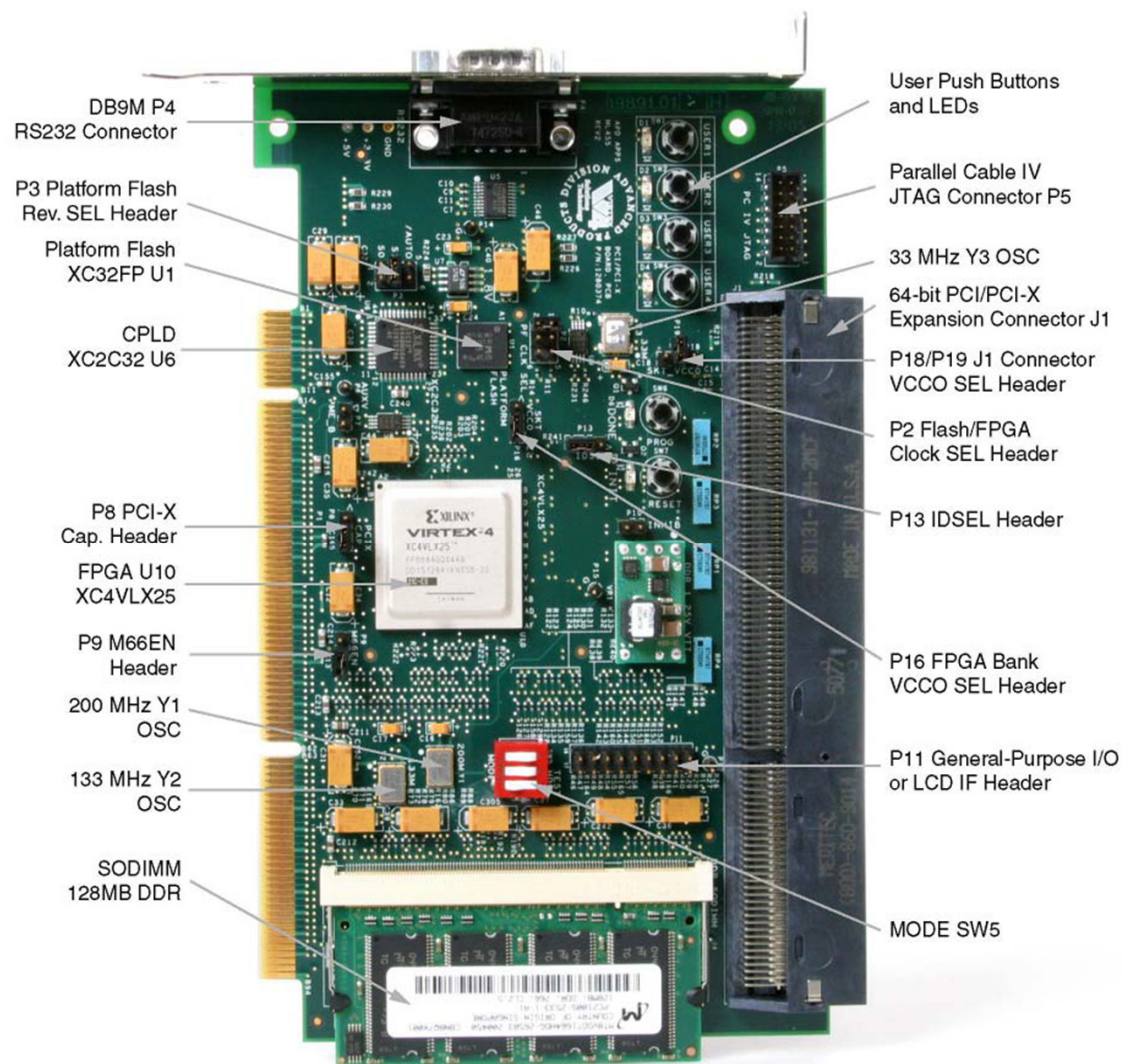


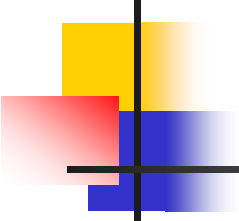
システムレベルの回路図



PCI-X IPはXilinx製です。このIPはVirtex-4デバイスのネットリストフォーマットで入っています。ユーザーは使用にあたってXilinxから個別にライセンスを買う必要があります。

Xilinx のVirtex-4 ML455 ボード (target demo)





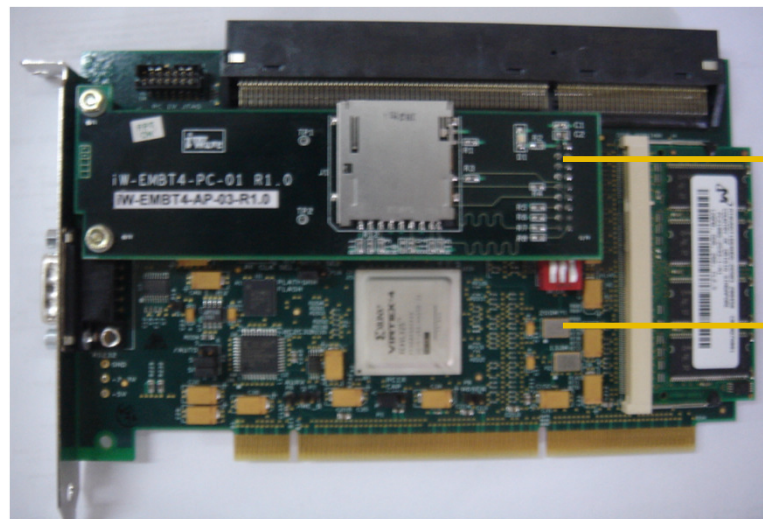
ML455 ボードは下記機能を保有:



- XC4VLX25-FF668 – 11 speed grade FPGA
- 200-pin 2.5V SODIMM socket with 128 MB (16M x 64 bit) DDR SDRAM SODIMM
- Three on-board clock sources:
 - ❖ 200 MHz Epson 2.5V EG-2121CA LVPECL
 - ❖ 133 MHz Epson 2.5V EG-2121CA LVDS
 - ❖ 33 MHz LVCMOS
- One DB9-M RS232 port (serial cable not provided)
- Support for up to four FPGA design images in a Xilinx XCF32P-FSG48C Platform Flash configuration PROM
- Static or dynamic device reconfiguration support with the XC2C32 CoolRunner™ II CPLD
- 64-bit 3.3V system board keyed PCI or PCI-X connector
- Top mounted 64-bit 3.3V keyed PCI or PCI-X expansion socket (on top of board)
- User push-button switches, LEDs, and general-purpose I/O header
- Device configuration through on-board Platform Flash, Xilinx PC-IV JTAG cable, or Xilinx Platform Cable USB
- PCI clocking support for global and regional clocking applications
- On-board power regulators (3.0V PCI, 2.5V, 1.8V, 1.2V, 1.25V VTT)

テスト環境

- ホストプラットフォームXilinx Virtex-4 (XC4VLX25) ML455 開発ボード
 - ML455ボードに接続されたSDIOインターフェイスコネクタ付きデータボード
- OS:
 - 32-bit & 64-bit RHEL
 - 64-bit SuSE
- データ転送
 - ホストシステムからSDメモ리카ードへのPIOモードのデータ
 - SDメモ리카ードからホストシステムへのPIOモードのデータ
 - ホストシステムからSDメモ리카ードへのDMAモードのデータ
 - SDメモ리카ードからホストシステムへのDMAモードのデータ



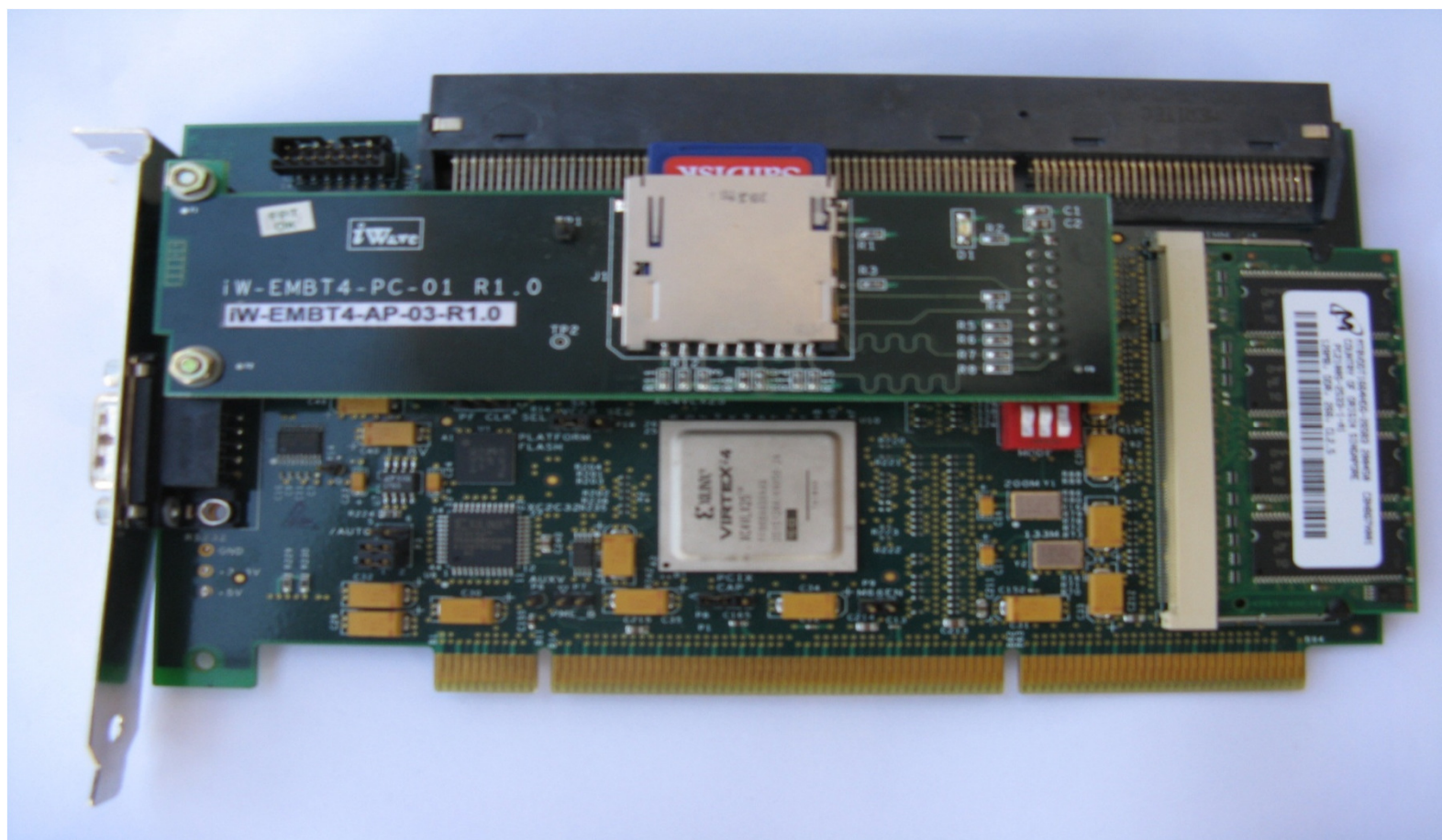
SDIOインターフェイスコネクタ用
データボード

ML455 開発ボード

PCI-X to SD/SDIO ブリッジ IPコア



iWave

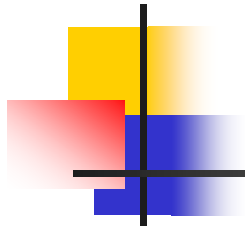




PCI-X Controller の性能



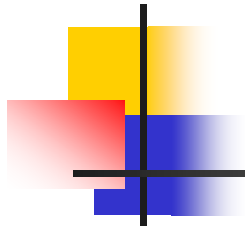
- 64bit, 66MHz / 100Mhz PCI-X をサポート
- 64-bit アドレスをサポート
- PCI interface 上のデータの read/write時に、Dedicated DMA controller をサポート
- 内部レジスタを構成するため1つのBAR が利用される。
- Master 及び Target モードをサポート
 - ❖ Master モードでは、PCI-X は外部のtarget に対し、burst transactions 及び DWORD transactions を開始できる。
 - ❖ Target モードではDWORD transfers のみサポート。Burst transfers はサポートしない
- Split transaction サポート
 - ❖ Masterとして、DMAC へのコントロール信号は split transfers間、DMAC byte count が正しく扱われることを明確にするよう扱われる。Split レスポンスではburst transfers はサポートされる。
 - ❖ targetとして、すべてのtransactions が on-chip registersになされる。Split transaction はサポートされない。すべてのサイクルはwait statesを開始することで終了する。
- on-chip registers へのすべての DWORD read transactions はto will be serviced as delayed read with wait states.
- Memory 及び Configuration cycleはサポートされる。IO transactions はサポートされない。
- Power Management はサポートされない。
- エラー表示及びDMAC and the SDIO controllerのステータス表示のためのInterruptはサポートされる。



PCI-X Wrapper の性能



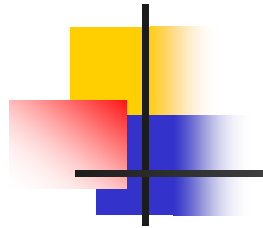
- PCI-X core user interface を一般的な bus interfaceに変換する。
- PCI-X Coreをコントロール / サポートするすべての internal registers をサポートする。
- DMACに対し、個別のアドレスとデータバス。
- PCI-Xブロックに対し、要求されるすべてのコントロール信号を生成する。



DMA Controller の性能



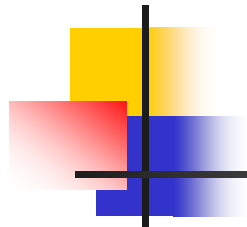
- Scatter Gather DMA をサポート
- 最大transfer長 4Kbytes
- On-chip descriptor cache 最大 128 BDs
- SDIO controller registers を直接アクセスする DMA bypass モードをサポート
- DMAC が要求されるすべての信号を取り出し、内容をSDIO controller にストアする



SDIO host controller の性能



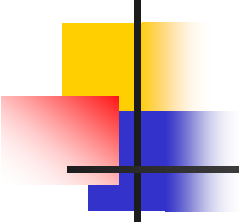
- SD、MMC及びSDIOの 1-bit/4-bit/SPI モードをサポート
- 最大ブロック長 2048 bytes をサポート。DMA モードではmode ブロック長は 512 bytes に固定
- MMC stream モードでのstream size 最大 4096 bytes、最小 10 bytes
- One data Transmit FIFO では Block RAMs を使用して、64-bit width、1024 depthsで設計
- One data Receive FIFO では、2つの Block RAMs を使用して、64-bit width、512 depthsで設計
- DMA write transfersでは、Ping-Pong mode registers を使用して、2段のpipelining をサポート
- SDIO Interrupts, Suspend/Resume Operation 及び SDIO Read Wait Operation をサポート
- Buffersに、受け取ったレスポンスをストア



SDIO host controller の性能(続き)



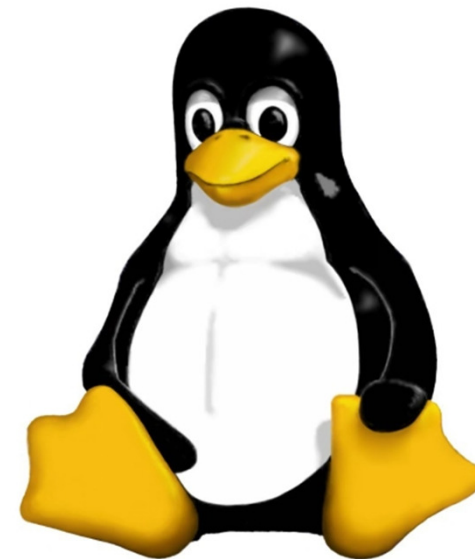
- Command buffers にcommand index 及び argument をストア
- Extra buffers に Set Block Length Command、multi block data transfer commands、single block data transfer commands 及び stop commandのためのコマンドをストア (DMA transferをサポートするため)
- Controller は SD/MMC/SDIO operations に必要な各種周波数をサポート
動作周波数はレジスタにより決められる
- command 及び data transaction のための CRC 生成 / チェックがサポートされる.
- SDIO/SD specification version 2.0 準拠
- SD/SDIO/MMC communication protocol を使用して、1枚のSDIO、SD またはMMC カードがサポートされる
- MMC 8-bit mode はサポートされない

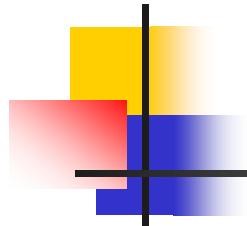


ドライバ



- Linux上の診断ドライバ
- Linux キャラクタードライバ

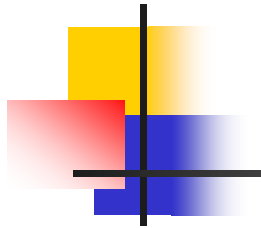




FPGA リソースの細部



- ❖ Target Device : xc4vlx25
- ❖ Target Package : ff668
- ❖ Target Speed : -11
- ❖ Number of Registers: 4,592
- ❖ Number of 4 input LUTs: 8,362
- ❖ Number of Slices: 5,526
- ❖ Number of IOBs: 99
- ❖ Number of BUFG/BUFGCTRLs: 7
- ❖ Number of BRAMs: 8
- ❖ Number of DCMs: 3



納入物



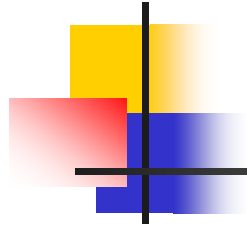
- 設計書
- Verilog RTL ソースコード
- ModelSim上でのシミュレーション環境(ドキュメント付)
- Verilog テストベンチ

保証及びサポート

- 納入日から15日間の技術的サポート
- 技術的サポートは、全納入物を対象
- また、この期間中のバグフィックスも含む
- 上記サポートは、eメール/電話で実施
- 上記サポートは、合意した就業時間内で実施

カスタマイズ サービス

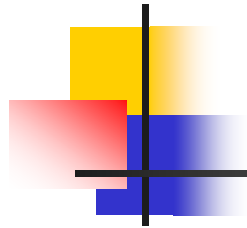
- 追加のカスタマイズ、改善及び技術サポートは、別途費用で実施



アイウェーブのソリューション



- コアは実績があり、ハードウェアは標準プラットフォームで実証済み
- 各種OS上で異種モードのデータ転送を検証
- 弊社のSD/SDIOホストコントローラは、厳格なテストを経て約10種類の製品/アプリケーションで使用
- カスタマイズサポートが必要な場合は、経験豊富な弊社技術者が最短時間でサポート



グローバル展開



Wave Japan Inc.

8F Kannai Sumiyoshi Building, 3-29,
Sumiyoshi-cho, Naka-ku, Yokohama
Kanagawa, JAPAN

Phone: 045-227-7626

Fax : 045-227-7646

Wave Systems Technologies Pvt Ltd.

No. 7/B, 29th Main,
BTM Layout 2nd Stage,
Bangalore – 560 076.INDIA

Phone: +91-80-26786245, 26683700

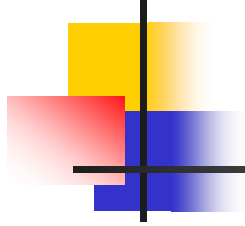
Fax : +91-80-26685200

Wave Europe

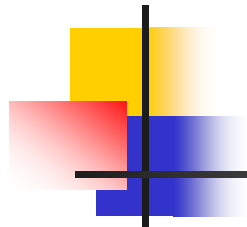
Elisabeth-Str. 91
80797 Munich, Germany

Phone: +49 (0) 89 5908 23 99

Fax: +49 (0) 89 5908 1200



有難うございました。



免責条項



- プレゼンテーションで示す、如何なるロードマップも暫定的なものであり、アイウェーブの公式な見解ではありません。特定のスケジュール、ライセンス期間及び価格については、アイウェーブに確認ください。
- プレゼンテーションで述べている如何なる提案も、ターゲット環境や使用ケース等に関する情報が不足しているために多くの仮定部分を含んでいます。この提案の価格、スケジュール見積もりは、現時点における弊社の最良の見積もりですが、最終的な見積書ではありません。弊社は、お客様との最終的な合意事項以外は、如何なる特定期間及び条件にも同意いたしません。
- 弊社は、このプレゼンテーション情報をアップデートすることを保証いたしません。